

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-283614

(43)公開日 平成5年(1993)10月29日

(51)IntCl.⁵

H01L 27/04

H03H 19/00

識別記号

庁内整理番号

FI

技術表示箇所

C 8427-4M

7037-5J

審査請求 未請求 請求項の数22(全 8 頁)

(21)出願番号 特願平4-358954

(22)出願日 平成4年(1992)12月25日

(31)優先権主張番号 07/821034

(32)優先日 1992年1月16日

(33)優先権主張国 米国(U.S.)

(71)出願人 592034261

クリスタル セミコンダクター コーポレ
イションCRYSTAL SEMICONDUCT
OR CORPORATIONアメリカ合衆国 テキサス州 78744 オ
ースティン サウス インダストリアル
ドライブ 4210

(72)発明者 ジェフリー ウィリアム スコット

アメリカ合衆国 テキサス州 78739 オ
ースティン ビーチャム コート 10904

(74)代理人 弁理士 加藤 紘一郎 (外2名)

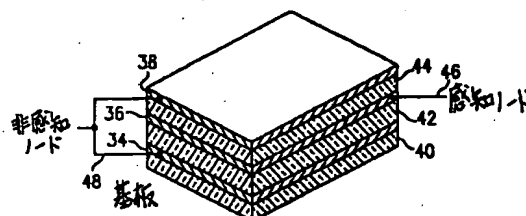
(54)【発明の名称】 集積回路のキャパシタ構造

(57)【要約】

【目的】 外部ノイズ源または半導体基板からのノイズから隔離された遮蔽プレートを有するスイッチト・キャパシタ用多層キャパシタを提供する。

【構成】 3層キャパシタ構造は、上部金属層(38)と下部多結晶シリコン層(34)との間においてそれらから酸化物層(44、42)により隔てられた遮蔽された金属層(36)を有する。上部金属層と下部多結晶シリコン層とは相互接続されて非感知ノード(48)を形成し、遮蔽された金属層は感知ノード(46)に接続される。このキャパシタ構造は高損失積分器(50)においてスイッチト・キャパシタを構成するように接続可能であり、感知ノードが差動増幅器の仮想グラウンドに接続される。

BEST AVAILABLE COPY



【特許請求の範囲】

【請求項1】 集積回路のキャパシタ構造であって、第1の面上に半導体集積回路が形成された半導体基板と、

仮想グラウンドノードを有し、半導体の前記第1の面上に形成された部分回路と、

半導体基板の前記第1の面上に形成された第1及び第2のプレートを有するキャパシタとよりなり、

前記キャパシタは、

半導体基板の前記第1の面の一部の上方において第1の絶縁層より隔てられた第1の導電層と、

前記第1の導電層の一部の上方において第2の絶縁層により隔てられた、遮蔽された第2の導電層と、

前記第2の導電層の一部の上方において第3の絶縁層により隔てられた第3の導電層と、

前記キャパシタの第1プレートを構成する第2の導電層を前記部分回路の仮想グラウンドノードと接続する第1の接続デバイスと、

前記第1及び第3の導電層を相互接続して前記キャパシタの第2プレートを形成し、第1と第3の導電層間の前記第2の導電層の部分をノイズと外部信号から遮蔽する第2の接続デバイスとよりなることを特徴とするキャパシタ構造。

【請求項2】 前記第1の導電層はシリコン系材料よりなることを特徴とする請求項1のキャパシタ構造。

【請求項3】 前記第1の導電層は多結晶シリコンよりなることを特徴とする請求項1のキャパシタ構造。

【請求項4】 前記多結晶シリコンには所定レベルの不純物がドーピングされていることを特徴とする請求項3のキャパシタ構造。

【請求項5】 前記第2及び第3の導電層は二金属CMOSプロセスで形成された金属層よりなることを特徴とする請求項1のキャパシタ構造。

【請求項6】 前記第2の接続デバイスは前記第1及び第3の導電層を前記デバイスの出力に接続して前記キャパシタをフィードバック構成にすることを特徴とする請求項1のキャパシタ構造。

【請求項7】 前記第1の接続デバイスは、前記キャパシタの第1のプレートを前記デバイスの仮想グラウンドノードと所定の基準電圧との間で切換えるスイッチよりなることを特徴とする請求項1のキャパシタ構造。

【請求項8】 前記第2の接続デバイスは、前記第1及び第3の導電層よりなるキャパシタの第2のプレートを入力信号と所定の基準電圧との間で切換えるスイッチよりなることを特徴とする請求項7のキャパシタ構造。

【請求項9】 遮蔽された前記第2の導電層とほぼ同じ平面上にありその遮蔽された第2の導電層から所定の距離を置いて配設された第4の導電層と、第4の導電層を所定の電圧に接続する接続デバイスとさらに具備してなることを特徴とする請求項1のキャパシタ構造。

【請求項10】 前記所定の電圧がグラウンド電位であることを特徴とする請求項9のキャパシタ構造。

【請求項11】 半導体基板の第1の面の上方に形成された第1及び第2のプレートを有し、その1つがスイッチ・キャパシタ構造の電圧感知ノードに接続されるように作動可能なスイッチ・キャパシタ構造用多層キャパシタであって、

半導体基板の前記第1の面の一部の上方において第1の絶縁層により隔てられた第1の導電層と、

前記第1の導電層の一部の上方において第2の絶縁層により隔てられた、遮蔽された第2の導電層と、

遮蔽された前記第2の導電層とほぼ同じ平面内にあり、その第2の導電層の外側周縁部においてそれから所定の距離において配設された遮蔽導電層と、

前記遮蔽導電層を所定の電圧に接続する接続デバイスと、

前記第2の導電層の一部の上方において第3の絶縁層により隔てられた第3の導電層と、

前記第1と第3の導電層間においてそれらの周縁部に沿って接続され、前記第2及び第3の絶縁層を貫通して前記第1と第3の導電層を導電接続する複数の接続デバイスとよりなり、

前記複数の接続デバイスは遮蔽された前記第2の導電層から前記遮蔽導電層により隔てられており、このため前記第1及び第3の導電層がキャパシタの1つのプレートを形成し、遮蔽された前記第2の導電層がキャパシタの感知プレートを構成することを特徴とする多層キャパシタ。

【請求項12】 前記第1の導電層はシリコン系材料よりなることを特徴とする請求項11のキャパシタ構造。

【請求項13】 前記第1の導電層は多結晶シリコンよりなることを特徴とする請求項11のキャパシタ構造。

【請求項14】 前記多結晶シリコンには所定レベルの不純物がドーピングされていることを特徴とする請求項13のキャパシタ構造。

【請求項15】 前記第2及び第3の導電層は二金属CMOSプロセスで形成された金属層よりなることを特徴とする請求項11のキャパシタ構造。

【請求項16】 集積回路のキャパシタ構造であって、第1の面上に半導体集積回路が形成された半導体基板と、

差動仮想グラウンドノードを有し、半導体の前記第1の面上に形成された差動入力部分回路と、

半導体基板の前記第1の面上に形成された第1及び第2のプレートを有するキャパシタとよりなり、

前記キャパシタは、

半導体基板の前記第1の面の一部の上方において第1の絶縁層より隔てられた第1の導電層と、

前記第1の導電層の一部の上方において第2の絶縁層により隔てられた、遮蔽された第2の導電層と、

前記第2の導電層の一部の上方において第3の絶縁層により隔てられた第3の導電層と、

前記キャパシタの第1プレートを構成する第2の導電層を前記部分回路の差動仮想グラウンドノードと接続する第1の接続デバイスと、

前記第1及び第3の導電層を相互接続して前記キャパシタの第2プレートを形成し、第1と第3の導電層間の前記第2の導電層の部分をノイズと外部信号から遮蔽する第2の接続デバイスとよりなることを特徴とするキャパシタ構造。

【請求項17】 前記第1の導電層は多結晶シリコンよりなることを特徴とする請求項16のキャパシタ構造。

【請求項18】 前記第2及び第3の導電層は二金属CMOSプロセスで形成された金属層よりなることを特徴とする請求項16のキャパシタ構造。

【請求項19】 前記第2の接続デバイスは前記第1及び第3の導電層を前記デバイスの出力に接続して前記キャパシタをフィードバック構成にすることを特徴とする請求項16のキャパシタ構造。

【請求項20】 前記第1の接続デバイスは、前記キャパシタの第1のプレートを前記デバイスの差動仮想グラウンドノードと所定の基準電圧との間で切換えるスイッチよりなることを特徴とする請求項16のキャパシタ構造。

【請求項21】 前記第2の接続デバイスは、前記第1及び第3の導電層よりなるキャパシタの第2のプレートを入力信号と所定の基準電圧との間で切換えるスイッチよりなることを特徴とする請求項20のキャパシタ構造。

【請求項22】 遮蔽された前記第2の導電層とほぼ同じ平面上にありその遮蔽された第2の導電層から所定の距離を置いて配設された第4の導電層と、第4の導電層をグラウンドに接続する接続デバイスとさらに具備してなることを特徴とする請求項16のキャパシタ構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は一般的に多層キャパシタに関し、さらに詳細には、スイッチト・キャパシタ構造の感知ノードに接続されるよう作動可能な遮蔽された1つのノードを有する多層キャパシタに関する。

【0002】

【従来の技術】 スwitchト・キャパシタ構造は、プレートが差動増幅器の入力から第2の電圧へ、または別の差動増幅器の出力である前段の出力へ切換えられる複数のキャパシタを用いるのが普通である。これらのキャパシタは通常、半導体材料、金属及び酸化物を組み合わせて集積回路上に形成される。通常、半導体材料はキャパシタの下部プレートを形成し、このようにするとキャパシタは半導体の空乏／蓄積現象により大きな電圧係数を持つという特徴がある。これらのキャパシタは高い精度の

スイッチト・キャパシタ・フィルタやキャパシタ・アレー・データ・コンバータでは普通用いられない。

【0003】 スwitchト・キャパシタ構造に用いられている別のタイプのキャパシタには多結晶-多結晶キャパシタがあるが、これは一方のプレートの空乏状態をもう一方のプレートの蓄積状態により補償するためその電圧係数は極端に低い。多結晶-多結晶キャパシタの短所は第2の多結晶シリコン層を付着させキャパシタの誘電体として薄い酸化物の層を形成する別のプロセスが必要なことである。

【0004】 金属-多結晶シリコン・キャパシタとして知られるさらに別のタイプのキャパシタは、特にその多結晶シリコンが珪化されている場合、多結晶-多結晶キャパシタに近い電圧係数を有する。しかしながら、標準MOSプロセス技術では金属と多結晶シリコン層との間に存在する酸化物が比較的厚いため、設計者はプレート領域が同等の容量値の多結晶-多結晶型キャパシタよりも実質的に大きいものとなるのを受け入れざるを得ない。

【0005】 スwitchト・キャパシタ回路では、キャパシタのある特定のプレートは漂遊ノイズ結合に特に敏感である。普通、これらのプレートは何等かの手段で仮想グラウンドに接続される。ノイズに対する敏感な性質を弱めるために、2プレート・キャパシタ構造の上部プレートを感知仮想グラウンドプレートとして用い、下部プレートによりその感知ノードを基板ノイズから遮蔽することができる。しかしながら、このようにして実現した2プレート・キャパシタはパッシベーション及び実装用の誘電体を介して感知上部プレート上で結合されるノイズに依然として影響されやすい。

【0006】

【発明が解決しようとする課題】 本発明のスイッチト・キャパシタ構造は集積回路の一部を形成する。半導体基板の第1の面上にこの集積回路が形成される。半導体基板の第1の面上には、キャパシタに加えて仮想グラウンドノードを有するデバイスが形成される。このキャパシタは半導体基板の第1面の上方において第1の絶縁層により隔てられた第1の導電層を有する。この第1の導電層の一部の上方には第2の絶縁層により隔てられた第2の導電層がある。この第2の導電層の一部の上方には第3の絶縁層により隔てられた第3の導電層がある。第2の導電層はキャパシタの第1プレートを形成し、前記デバイスの仮想グラウンドノードと接続可能である。第1及び第3の導電層は相互に接続されてキャパシタのもう1つのプレートを形成し、キャパシタの第1プレートである第2の導電層を外部ノイズ源または半導体基板からのノイズから遮蔽する。

【0007】 本発明の第2の特徴として、第2及び第3の導電層は2金属CMOSプロセスにより金属で形成される。第1の導電層は所定レベルの不純物をドーブした

10

20

30

40

50

多結晶シリコンの層により形成される。

【0008】本発明のさらに別の特徴として、第1の接続デバイスは、スイッチト・キャパシタ動作モードにおいてキャパシタの第1プレートをそのデバイスの仮想グラウンドノードと所定の基準電圧との間で切換えるよう作動可能なスイッチよりなる。同様に、キャパシタのもう1つのプレートも入力信号と基準電圧との間で切換えられる。この好ましい基準電圧はグラウンド電位である。

【0009】以下、添付図面を参照して本発明を実施例につき詳細に説明する。

【0010】

【実施例】バイクワッド (biquad) スwitchト・キャパシタ・フィルタの論理図である図1を参照して、2つの差動増幅器10、12はその正の入力がそれぞれグラウンドに接続されている。このフィルタは7つのスイッチト・キャパシタ14、16、18、20、22、24、26を有する。スイッチト・キャパシタ14-26の各端子は、クロック信号CLK、即ちCLKe及びCLKoにตอบสนองしてグラウンドまたは信号ノードに接続される。信号CLKe及びCLKoは偶数及び奇数の、連続動作、非オーバーラップ・クロック相である。これらのクロック相は通常、INPUT信号において許容される最高周波数の少なくとも10倍の周波数で動作される。

【0011】所与のクロック周波数において、その回路の伝達特性は実質的に容量比により決まる。キャパシタの容量値を適当に選ぶことによって、ローパス、ハイパス、バンドパス、バンドリジェクト及び他のタイプのフィルタを実現できる。このようなフィルタの多くは、全てのタイプのスイッチト・キャパシタを組み込む必要はない。例えば、一般的にスイッチト・キャパシタ22かあるいはスイッチト・キャパシタ26の何れかを組み込む必要があるに過ぎず、その両方の組み込みは不要である。したがって、図1に示す従来型バイクワッド、スイッチト・キャパシタ・フィルタでは、通常、6つ以上のスイッチト・キャパシタは必要ない。

【0012】図示のごとく、差動増幅器10はその反転入力と出力の間にフィードバック・キャパシタ28を接続してある。スイッチト・キャパシタ20は増幅器10のINPUT信号と反転入力との間に接続されている。さらに、スイッチト・キャパシタ22も差動増幅器10のINPUT信号と反転入力との間に接続されている。スイッチト・キャパシタ14は差動増幅器10の出力と差動増幅器12の反転入力との間に接続してある。スイッチト・キャパシタ24はスイッチト・キャパシタ26と同様にINPUT信号と差動増幅器12の反転入力との間に接続してある。差動増幅器12はその反転入力と出力との間にフィードバック・キャパシタ30を接続してあり、スイッチト・キャパシタ18もまた差動増幅器12の反転入力と出力との間に接続してある。

【0013】スイッチト・キャパシタには2つの構成がある。その1つの構成 (スイッチト・キャパシタ20) では、キャパシタの両方のプレートがグラウンドかまたはもう一方の端子に接続されるようなスイッチ構成である。例えば、スイッチト・キャパシタ20はCLKe信号により制御され、キャパシタの両方のプレートをそのキャパシタが入力信号と増幅器10の非反転入力と間で直列になるように接続する。次の相では、CLKe信号により制御されるスイッチが開き、CLKo信号により制御されるスイッチが導通モードになって両方のプレートがグラウンドに接続される。もう1つの構成 (スイッチト・キャパシタ26) では、一方のプレートがグラウンドに接続されている間もう一方のプレートがグラウンドでない端子に接続されるようにプレートが交替的にグラウンドに接続される。1つのモードで、CLKe信号がキャパシタの一方のプレートをグラウンドに、もう一方のプレートを増幅器12の反転入力に接続する。もう1つのモードでは、CLKo信号が一方のプレートをINPUT信号へ、もう一方の信号をグラウンドに接続する。

【0014】図2は本発明の遮蔽キャパシタの単純化した構造図である。キャパシタは3つのプレート、即ち下部プレート34、中間遮蔽プレート36及び上部プレート38を有する。下部プレート34は多結晶シリコン材料で形成され、酸化物層40を隔てて基板の上方にある。プレート36は金属層であり、多結晶シリコンのプレート34から酸化物層42により分離されている。上部プレート38は金属層であり、遮蔽プレート36から酸化物層44により分離されている。遮蔽プレート36は感知ノード (sensitive node) と呼ばれ、1つの端子46に接続してある。上部プレート38と下部プレート34はノード48に接続されるが、このノードを非感知ノード (insensitive node) と呼ぶ。金属の上部プレート38はこの上加えられた信号によるノイズから遮蔽プレート36を遮蔽する作用がある。同様に、プレート34は遮蔽プレート36を基板のノイズから遮蔽するが、これはこのノイズが誘電体層40を介してプレート36へ結合できないことによる。この構造の等価回路を図3に示す。

【0015】図4は、本発明のキャパシタ構造を用いる高損失積分器の論理図である。この構造は差動増幅器50を有し、その非反転入力と出力との間に接続されている。その出力はノード54に接続されている。第1のスイッチト・キャパシタ56の2つのプレートはノード58と60に接続されている。ノード58はキャパシタの遮蔽プレート36に接続されており、感知ノードであるのでSを付した。ノード58はスイッチ62に、またノード60はスイッチ64に接続されている。スイッチ62はグラウンドかノード52の何れかと接続するように動作するが、スイッチ6

4はグラウンドかVINで示した入力ノードの何れかと接続するように動作する。これらのスイッチは、制御信号に応答してスイッチ62がグラウンドに接続された状態にあるときスイッチ64がVINと接続するため、スイッチト・キャパシタ26と同様な構成を有する。スイッチ62及び64はMOSトランジスタまたは同様な構造のもので構成される。

【0016】第2のスイッチト・キャパシタ66は増幅器50の反転入力と出力との間にフィードバック構成で接続されている。キャパシタ66の2つのプレートはノード68とノード70の間に接続されている。キャパシタの感知プレートをSで示すが、これはノード68に接続されている。ノード70はスイッチ72に接続され、このスイッチはグラウンドと差動増幅器50の出力との間で切換え可能である。ノード68はスイッチ74に接続され、このスイッチはグラウンドと差動増幅器50の反転入力との間で切換え可能である。スイッチ72及び74は、キャパシタ66の両方のプレートがグラウンドかまたは差動増幅器50の反転入力及び出力との間に接続されるという点で、図1のスイッチト・キャパシタ20のスイッチと同様な構成である。

【0017】フィードバック・キャパシタ76は、差動増幅器50のフィードバックを行なうためその遮蔽プレート36である感知ノードがノード52に、また2つのプレート34、38がノード54に接続されている。

【0018】図5はキャパシタの構造を遮蔽プレート36のレベルで示す上面図である。遮蔽プレート36は、その関連回路の感知ノードとの接続のための接続デバイス80を備えたプレートとして示してある。図5ではこれは差動増幅器50の負の入力として示されている。遮蔽プレート36の周縁部の周りには導電性リング82がある。この導電性リング82は遮蔽プレート36と同じ金属層であるため、それとほぼ同じ面の金属層により形成されている。接点85は下部プレート34から延びて酸化物層42の開口87を貫通し、またバイア又は接点84は上部プレート38から延びて酸化物層44の開口88を貫通する。導電性リング82はこれらの接点84及び85と遮蔽プレート36との間に位置し、プレート34と感知プレート36との間の漂遊容量を実質的にゼロにする。導電性リング82は集積回路の他のどこかの接点(図示せず)を介してグラウンドに接続されている。

【0019】図6は二金属MOSプロセスを用いる本発明キャパシタの断面図である。このデバイスは最初に半導体基板の面上にトランジスタと他の関連の構造を形成することにより製造する。処理の間、酸化物層40がフィールド酸化物層として形成される。このフィールド酸化物層は通常、基板の活性領域を分離するために用いられる。フィールド酸化物層40は約4000オングストロームの厚さを持つのが普通である。次いで多結晶シリ

コンより成る約3、400オングストロームの厚さの層を基板上に付着させる。さらにこの層にパターンを形成してエッチングを行ないトランジスタのゲート、種々の相互接続部及びプレート34を形成する。その後、酸化物層42を形成するインターレベル酸化物層を基板上に形成するが、この層は約6000オングストロームの厚さを有する。次いで酸化物層42をエッチングしてプレート34とプレート36との間にバイアまたは接点87を形成する。

10 【0020】次いで、アルミニウムのような金属層を厚さ約0.6マイクロメータのコンフォーマル・コーティングを形成するように基板上に付着させる。このアルミニウム層にパターンを形成した後エッチングして基板上に遮蔽プレート36、導電性リング82及び接点85を含む種々の相互接続部を形成する。エッチングは、図5に示すようにプレート36がプレート34の上方に位置し、導電性リング82がプレート36の周縁部の周りに位置するように行なう。この層には導電性リング82だけでなく中間相互接続ストリップ83も形成される。相互接続ストリップ83は第1の金属層において下部プレート34の多結晶シリコン層と接点85を介して相互接続を行なうために用いられ、また第2の金属層と第1の金属層とをバイア又は接点88を介して相互接続することによりストリップ83から上方へプレート38の金属層へ延びる接続が可能となる。

【0021】第1の金属層のパターン形成及びエッチングを行なった後、第2のインターレベル酸化物層を基板上に約6000オングストロームの厚さに形成してそれにバイア又は接点88をエッチングにより形成する。この酸化物層はコンフォーマル・コーティングとなって基板を遮蔽する。次いで、第2の金属層を基板上にコンフォーマル・コーティングとして約1.0マイクロメータの厚さに形成し、バイア88を充填して接点84を形成する。そしてこの層にパターン形成して基板上に種々の相互接続部などを形成し、次いでエッチングを行なう。

【0022】図7は本発明のキャパシタ構造を用いる完全差動型スイッチト・キャパシタ積分器の論理図である。差動増幅器94の負の入力端子はノード96に、また正の入力端子はノード98に接続されている。ノード96はスイッチ100の1つの端子に、またスイッチのもう1つの端子はグラウンドに接続されている。同様に、ノード98はスイッチ102の1つの端子に、またそのもう1つの端子はグラウンドに接続されている。ノード96はまたフィードバック・キャパシタ104の感知プレートに接続され、そのキャパシタのもう1つのプレートは増幅器94の正の出力に接続されている。同様に、ノード98はフィードバック・キャパシタ106の感知プレートに接続され、そのキャパシタのもう1つのプレートは増幅器94の負の出力に接続されている。

50 【0023】スイッチト・キャパシタ108の感知プレ

(6)

10

9

ートはスイッチ100のワイパーに接続され、このスイッチト・キャパシタのもう1つのプレートはスイッチ110のワイパーに接続されている。スイッチ110の1つの端子は正の入力電圧に、もう1つの端子は負の入力電圧に接続されている。スイッチト・キャパシタ112の感知プレートはスイッチ102のワイパーに接続され、そのもう1つのプレートはスイッチ114のワイパーに接続されている。スイッチ114の1つの端子は負の入力に、もう1つの端子は正の入力に接続されている。

【0024】スイッチト・キャパシタ108と112はその感知入力と共にそれぞれのスイッチ100及び102のワイパーに接続されている。スイッチ100及び102は共通のクロックによりクロックされてグラウンドまたはそれぞれのノード96、98に接続される。キャパシタ108、112のもう1つの側はスイッチ110、114により制御されるが、その制御はキャパシタ112のもう1つの側が負の入力に接続されているときキャパシタ108のもう1つの側が正の入力に接続されるように行われる。クロックのもう1つのサイクルでは、キャパシタ108のもう1つの側が負の入力へ、またキャパシタ112のもう1つの側が正の入力へ接続される。

【0025】要約すると、層の1つが遮蔽プレートであるマルチレベルキャパシタ構造が本発明により提供される。この遮蔽プレートは周縁部において相互接続された2つの導電層の間にあり、このため遮蔽プレートが基板ノイズからだけでなく外部ノイズからも隔離される。この遮蔽プレートはスイッチト・キャパシタ構成の集積回路の感知ノードに接続されるのが普通である。遮蔽プレートをさらに隔離するには、遮蔽プレートの周

りに導電性ガードリングを設け、グラウンドに接続し、遮蔽プレートとほぼ同じ面に位置させる。

【図面の簡単な説明】

【図1】図1は従来型バイクワッド・スイッチト・キャパシタ・フィルタを示す。

【図2】図2はこのキャパシタ構造の単純化した概略図である。

【図3】図3は図2の構造の等価回路である。

【図4】図4は本発明のスイッチト・キャパシタを用いる高損失積分段の論理図である。

【図5】図5はキャパシタを遮蔽プレートのレベルで見た上面図である。

【図6】図6はMOS二金属プロセスを用いる本発明のキャパシタ構造の断面図である。

【図7】図7は本発明のキャパシタ構造を用いる完全差動型積分器の論理図である。

【符号の説明】

10, 12 差動増幅器

14, 16, 18, 20, 22, 24, 26 スイッチト・キャパシタ

34 下部プレート

36 遮蔽プレート

38 上部プレート

40, 42, 44 酸化物層

56, 66 スイッチト・キャパシタ

80 接続デバイス

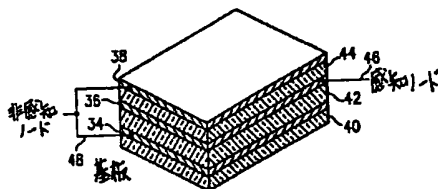
82 導電性リング

84, 88 バイア

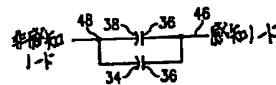
94 差動増幅器

108, 112 スイッチト・キャパシタ

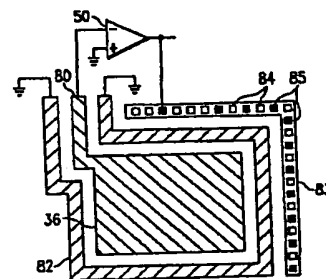
【図2】



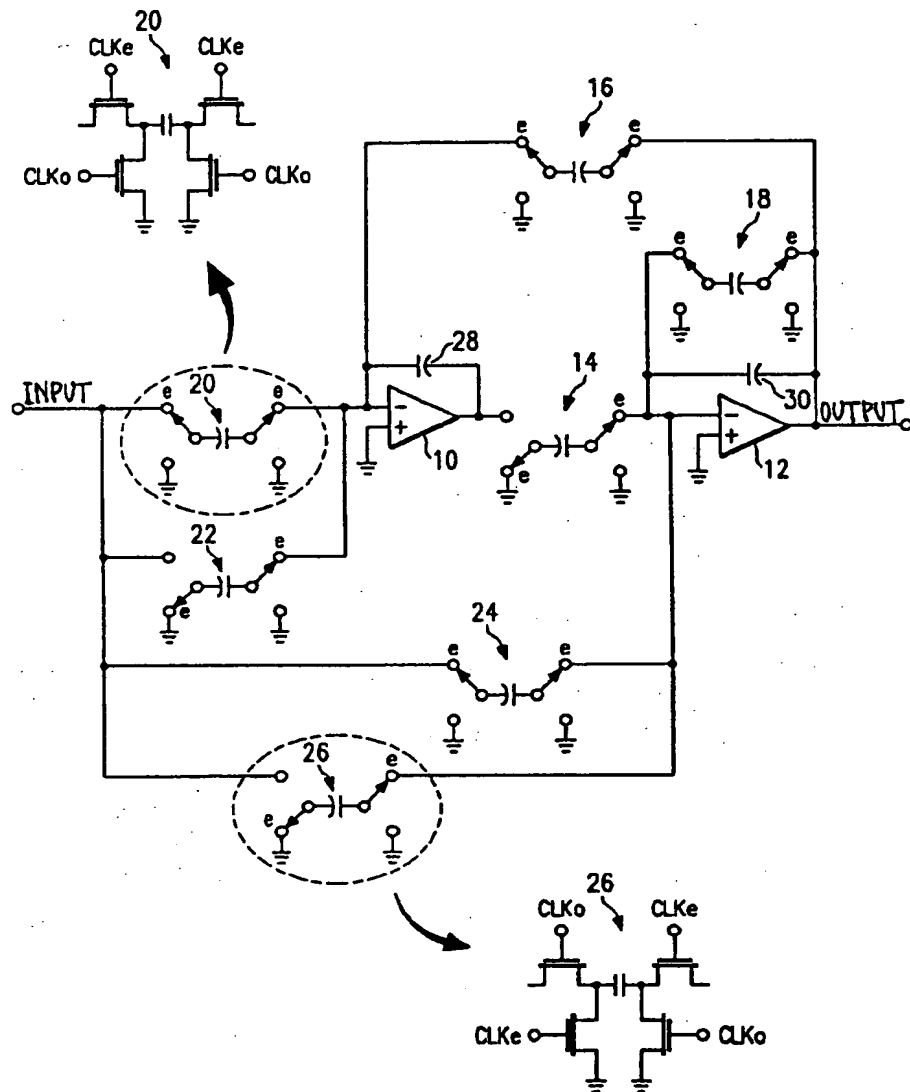
【図3】



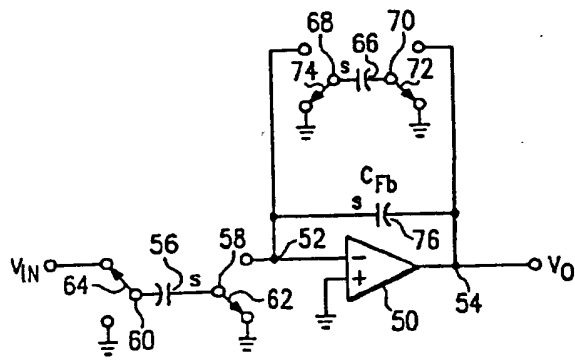
【図5】



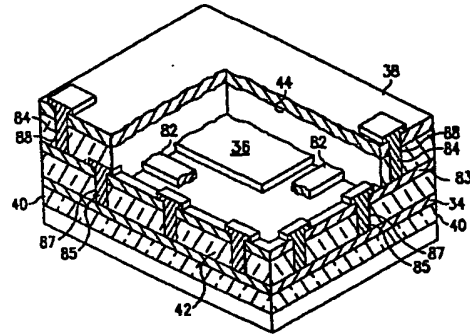
【図1】



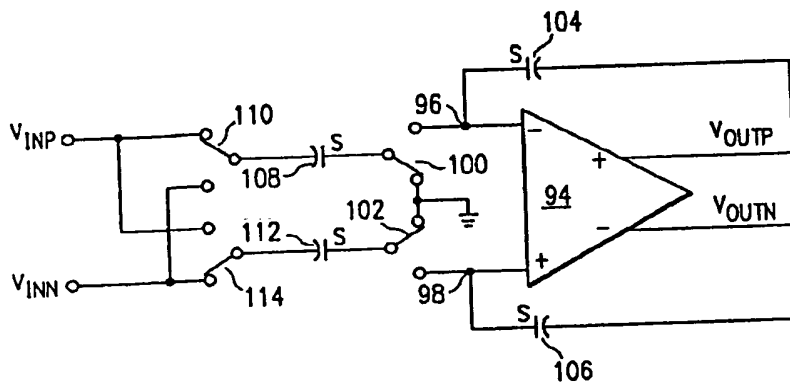
【図4】



【図6】



【図7】



ALL AVAILABLE COPY